

## INSULATED GATE TYPE FIELD EFFECT TRANSISTOR

INVENTOR: YASUSHI OYAMA  
ASSIGNEE: FUJITSU LTD, et al. (60)  
APPL NO: 02-17009  
DATE FILED: Jan. 26, 1990  
PATENT ABSTRACTS OF JAPAN  
ABS GRP NO: E1148  
ABS VCL NO: Vol. 15, No. 506  
ABS PUB DATE: Dec. 20, 1991  
INT-CL: H01L 29/784; H01L 29/46; H01L 29/62

## ABSTRACT:

PURPOSE: To prevent a transistor of this design from deteriorating in characteristics by a method wherein a **gate** electrode of **silicon carbide** layer is formed on a one conductivity type semiconductor substrate through the intermediary of an insulating layer, and opposite conductivity type impurities are introduced into the exposed part of the substrate on the sides to form a source and drain region.

CONSTITUTION: An isolation insulating layer 2 is formed on an N-type silicon substrate 1, a **gate** oxide film 3 is formed on the exposed surface of the substrate 1, and an **SiC** film 4 is formed on the entire surface. Then, a resist mask 5 is formed, and a plasma etching is carried out onto the exposed **SiC** film 4 to form a **gate** electrode 41, and then the exposed **gate** oxide film 3 is also etched to make the silicon substrate 1 exposed. Then, the resist mask 5 is removed, the surface of the silicon substrate 1 is treated to form an oxide film 32 on the exposed surface of the substrate 1, and a source region and drain region 6 of P-type are formed on the substrate 1. In succession, the oxide film 32 is removed, an interlaminar insulating layer 7 of phospho-silicate glass is formed on the surface of the silicon substrate 1, a contact hole 71 is formed, and a wiring 8 connected to the source and the drain regions 6 is formed to complete a transistor of this design.

①Int.Cl.

H 01 L 29/784  
29/46  
29/62

識別記号

行内整理番号

②公開 平成3年(1991)10月1日

Z 7738-5F  
G 7738-5F  
8422-5FH 01 L 29/78 301 G  
審査請求 未請求 請求項の改 1 (全3頁)

③発明の名称 絶縁ゲート型電界効果トランジスタ

④特 願 平2-17009

⑤出 願 平2(1990)1月26日

⑥発明者 大山泰 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑦出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑧代理人 弁理士 井桁貞一

## 明細書

## 1 発明の名称

絶縁ゲート型電界効果トランジスタ

## 2 特許請求の範囲

一層電型の半導体基板と、

該半導体基板上に形成された炭化珪素層から成るゲート電極と、

該ゲート電極と半導体基板との間に介在する絶縁層と、

該ゲート電極の両側に突出する該半導体基板に選択的に反対導電型の不純物を導入して形成されたソース領域およびドレイン領域

とを備えたことを特徴とする絶縁ゲート型電界効果トランジスタ。

## 3 発明の詳細な説明

## (要)

絶縁ゲート型電界効果トランジスタ(IG-FET)に関する。

ゲート電極形成後に残留するゲート電極構成物質による汚染に起因するトランジスタ特性の劣化を回避することを目的とし、

IG-FETの構造を、一層電型の半導体基板と、該半導体基板上に形成したSiC層から成るゲート電極と、該ゲート電極と半導体基板との間に介在する絶縁層と、該ゲート電極の両側に突出する該半導体基板に反対導電型の不純物を選択的に導入して形成されたソース領域およびドレイン領域とから成るように構成する。

## (産業上の利用分野)

本発明は、絶縁ゲート型トランジスタ(IG-FET)に係り、とくに、ゲート電極として、多結晶シリコンより低抵抗の物質を用いて成るIG-FETに関する。

## (従来の技術)

半導体積層回路の高密度化とともに、ゲート電極幅が縮小されている。このために、ゲート

電極の低抵抗化が要求される。低抵抗ゲート電極を実現する方法として、多結晶シリコン層上にシリサイド層を積層したポリサイドと呼ばれる二重構造のゲート電極が実用されている。上記シリサイドとしては、タンゲステンシリサイド(WSi<sub>2</sub>)、モリブデンシリサイド(MoSi<sub>2</sub>)、チタンシリサイド(TiSi<sub>2</sub>)等が用いられている。これらシリサイドは、多結晶シリコンより低抵抗であるが、SiO<sub>2</sub>等から成る絶縁層に対する付着性の点では多結晶シリコンが優れているため、上記のような二重構造とするのである。

(発明が解決しようとする課題)

上記ポリサイド構造のゲート電極は、シリコン基板上に多結晶シリコン層とシリサイド層を順次堆積し、これらの層を、例えば臭化水素(EBr)ガスと塩素(Cl<sub>2</sub>)ガスとの混合ガスをエッティング剤とするプラズマエッティングにより所定寸法のゲート電極に加工する。そして、上記エッティングにおいて用いられたレジストやエッティング反応生成物

上記目的は、一端電型の半導体基板と、該半導体基板上に形成された炭化珪素(SiC)層から成るゲート電極と、該ゲート電極と半導体基板との間に介在する絶縁層と、該ゲート電極の両側に突出する該半導体基板に選択的に反対端電型の不純物を導入して形成されたソース領域およびドレイン領域とを備えたことを特徴とする本発明に係るIG-FETによって達成される。

(作用)

SiCは化学的に安定であり、ほとんどの酸には侵されない。また、その抵抗率は多結晶シリコンより低い。しかも、SiO<sub>2</sub>層等の絶縁層に対する付着性も優れている。したがって、高密度重積回路のゲート電極として好適な材料であり、ポリサイドのようなトランジスタ特性にとって好ましくない不純物となる金属成分を生じるおそれもない。また、金や白金等の、化学的に安定かつ低抵抗である他の材料に比べ低成本である長所を有する。さらに、シリコンとの仕事間数差が大きく、酸素

の残渣を除去するための湿式処理を行ったのち、ソース・ドレイン領域形成のためのイオン注入や層間絶縁層の形成等の工程が行われる。

上記湿式処理は、ゲート電極が形成されたシリコン基板を70℃の硝酸溶液に浸漬するものであるが、この処理において、ポリサイド層の金属成分が溶液中に微量溶解し、シリコン基板表面に吸着する。このようにして吸着した金属成分は、水洗等によつても除去されずに残り、そののちに、シリコン基板が種々の熱処理工程を経る間に、基板中をチャネル領域まで拡散する。このため、好ましくない不純物単位を形成し、IG-FETの閾値電圧(V<sub>th</sub>)を所望の値より低くしてしまう等、トランジスタ特性に重大な影響を与える問題があった。

本発明は上記のようなポリサイド構造のゲート電極を用いることに起因する問題を解決し、所望の特性を有するIG-FETを形成可能とすることを目的とする。

(課題を解決するための手段)

電圧(V<sub>th</sub>)の大きなIG-FETを得ることができる。

(実施例)

以下本発明の実施例を図面を参照して説明する。

第1回(a)に示すように、例えばn型のシリコン基板1に、周知のLOCOS法により分離絶縁層2を形成し、分離絶縁層2から突出する素子領域におけるシリコン基板1表面を熱酸化してゲート酸化膜3を形成する。

次いで、第1回(b)に示すように、シリコン基板1表面全体に、約1000Åの厚さを有するSiC膜4を形成する。SiC膜4の形成は、例えば、トリクロロシラン(SiHCl<sub>3</sub>)とプロパン(C<sub>3</sub>H<sub>8</sub>)を原料ガスとして、周知のCVD法により行えばよい。その形成条件の例は、SiHCl<sub>3</sub>とC<sub>3</sub>H<sub>8</sub>、および、キャリヤガスである水素(H<sub>2</sub>)の流量を、それぞれ700SCCM、40SCCM、7000SCCM、基板温度を1000℃、全ガス圧を200Paとする。

次いで、周知のリソグラフ技術を用いて、第1回(c)に示すように、SiC膜4上に、ゲート電極に

対応するレジストマスク5を形成し、レジストマスク5から裏出するSiC膜4に対して、三堿化窒素(NF<sub>3</sub>)をエッティングガスとするプラズマエッティングを施す。その結果、第1図(d)に示すように、SiC膜4から成るゲート電極41が形成される。上記エッティングにおいて、レジストマスク5から裏出する領域におけるゲート酸化膜3もエッティングされ、シリコン基板1が裏出する。

ここで、レジストマスク5を除去し、さらに、従来と同様に、硝酸水溶液を用いてシリコン基板1の裏面を処理する。この処理においてSiC膜4は溶解せず、したがって、シリコン基板1裏面に不純物として吸着することがない。

次いで、シリコン基板1の裏出面を熱酸化して、第1図(e)に示すように、酸化膜32を形成したのち、ゲート電極41および分離絶縁層2をマスクとして、素子領域におけるシリコン基板1に硼素(B)のようない型不純物をイオン注入する。このようにしてn型のソースおよびドレイン領域6が形成される。

の差が大きく、IG-FETの閾値電圧(V<sub>th</sub>)が大きい。その結果、閾値電圧(V<sub>th</sub>)調整のためにゲート電極直下の領域に対して行われる選択的イオン注入(チャネルドープ)の工程を省略可能とする効果も得られる。

#### 4 図面の簡単な説明

第1図は本発明の一実施例の工程における要部断面図である。

図において、

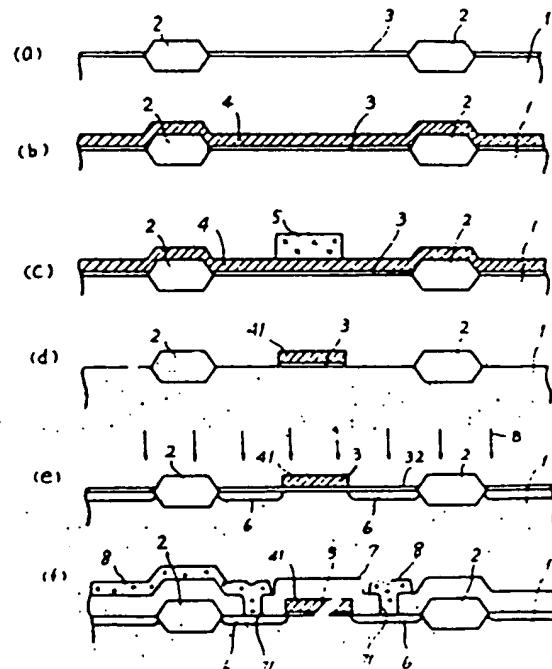
- 1はシリコン基板、2は分離絶縁層、
- 3はゲート酸化膜、4はSiC膜、
- 5はレジストマスク、
- 6はソースおよびドレイン領域、
- 7は層間絶縁層、32は酸化膜、
- 41はゲート電極、71はコンタクトホールである。

次いで、再び沸騰溶液を用いて、酸化膜32を除去する。この処理においても、SiC膜4から成るゲート電極41は溶解せず、シリコン基板1裏面に不純物として吸着することがない。

上記ののち、第1図(f)に示すように、シリコン基板1裏面に、例えば周知のPSG(焼珪酸ガラス)から成る層間絶縁層7を形成する。そして、ソースおよびドレイン領域6上の層間絶縁層7にコンタクトホール71を通じてソースおよびドレイン領域6に接続される配線8を形成して本発明に係る半導体装置が完成する。

#### 〔発明の効果〕

本発明によれば、ポリサイド構造を用いた場合におけるような処理溶液に溶解したポリサイド構成金属に起因する不純物によるトランジスタ特性の劣化が防止される。また、ポリサイド構造のゲート電極とシリコン基板との組合せに比べ、SiCゲート電極とシリコン基板の組合せの方が仕事間数



本発明の一実施例の工程における要部断面図  
第1図